

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-037280

(43)Date of publication of application : 10.02.1994

(51)Int.Cl.

H01L 27/108
H01L 21/90
H01L 27/04
// H01L 21/28

(21)Application number : 04-191120

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.07.1992

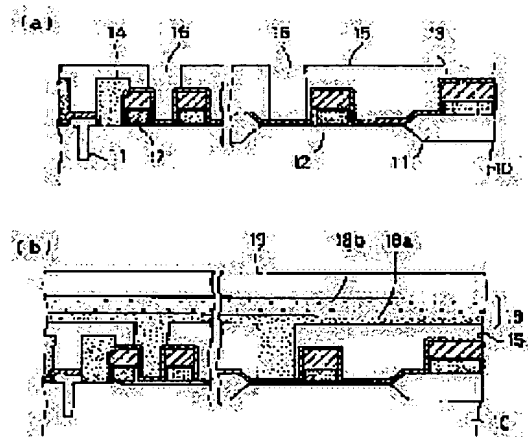
(72)Inventor : OZAKI TORU
TAKATOU HIROSHI
NITAYAMA AKIHIRO

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor memory device of certain structure where a peripheral circuit is easily connected to a substrate through contact holes keeping the memory device high in storage capacity.

CONSTITUTION: A stacked semiconductor memory device is provided with a dynamic RAM whose storage capacitor is formed after the formation of word lines, where the upper electrode 18 of the storage capacitor is of two-layered structure composed of a TiN film 18a and a W film 18b. These two layers are made to serve as wirings in a peripheral circuit and connected to a lower wiring or a substrate 10, where the TiN film 18a is formed only on the flat of the peripheral circuit, and the W film 18b is formed on the flat of the peripheral circuit and inside a contact hole.



LEGAL STATUS

[Date of request for examination]

01.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3197064

[Date of registration]

08.06.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平6-37280

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl.⁵

H O 1 L 27/108

21/90

27/04

// H 0 1 L 21/28

識別記号

庁内整理番号

FI

技術表示箇所

D 7514-4M

C 8427-4M

3 0 1 R 9055-4M

8728-4M

H 0 1 L 27/ 10

3 2 5 R

審査請求 未請求 請求項の数 3 (全 9 頁)

(21)出願番号

特願平4-191120

(22)出願日

平成4年(1992)7月17日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 尾崎 徹

袖衣川具

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝総合研究所内

(72)発明者 高東 宏

袖袂川風

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 仁田山 晃寛

神奈川県川崎

袖奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(74)代理人 弁理士 鈴江 武彦

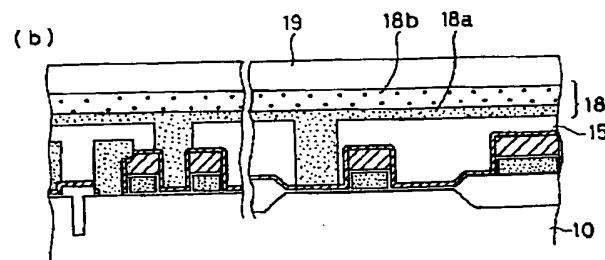
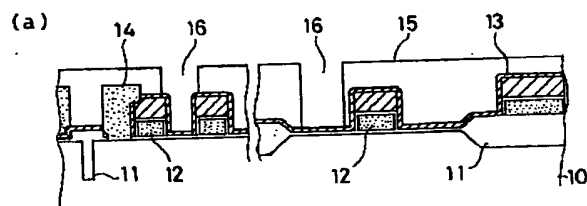
弁理士 鈴江 武彦

(54)【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 十分な蓄積容量を確保しつつ周辺回路部のコンタクトホールにおける基板との接続が容易に行える構造の半導体記憶装置を提供すること。

【構成】 ダイナミックRAMの蓄積容量部がワード線形成後に形成されたスタック型半導体記憶装置において、蓄積容量部の上部電極18がTiN膜18aとW膜18bの2層構造になっており、周辺回路部ではこの2層が配線となり下層配線又は基板10に接続されており、かつTiN膜18aは周辺回路部の平坦部のみに形成され、W膜18bは周辺回路部の平坦部及びコンタクトホール内に形成されていることを特徴とする。



【特許請求の範囲】

【請求項1】 スタック型の半導体記憶装置において、蓄積容量部の上部電極が周辺回路部では配線層として使用されていることを特徴とする半導体記憶装置。

【請求項2】 ダイナミックRAMの蓄積容量部がワード線形成後に形成されたスタック型半導体記憶装置において、前記蓄積容量部の上部電極が2層以上の積層構造になっており、周辺回路部では該層が配線となり下層配線又は基板に接続されており、かつ該層の1層目は周辺回路部の平坦部のみに形成され、該層の2層目以降は周辺回路部の平坦部及びコンタクトホール内に形成されていることを特徴とする半導体記憶装置。

【請求項3】 ダイナミックRAMの蓄積容量部がワード線形成後に形成されたスタック型半導体記憶装置において、前記蓄積容量部の上部電極が2層以上の積層構造になっており、周辺回路部では該層の2層目以降が配線となり下層配線又は基板に接続されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、スタック型の半導体記憶装置に係わり、特にダイナミック型RAM（DRAM）の配線層の改良をはかった半導体記憶装置に関する。

【0002】

【従来の技術】 近年、DRAMは高集積化の一途を辿り、これに伴い情報（電荷）を蓄積するキャパシタの面積は益々減少している。この結果、メモリ内容が誤って読み出されたり、或いは α 線等によりメモリ内容が破壊されるソフトエラーなどが問題となっている。

【0003】 このような問題を解決し、高集積化、大容量化をはかるための方法の一つとして、MOSキャパシタをメモリセル領域上に積層し、該キャパシタの1電極と、半導体基板上に形成されたスイッチングトランジスタの1電極とを導通させることにより、実質的にキャパシタの占有面積を拡大し、MOSキャパシタの静電容量を増大させるようにしたスタック型メモリセルと呼ばれるメモリセル構造が提案されている。

【0004】 このような構造では、ストレージノード電極を素子分離領域の上まで拡大することができ、またストレージノード電極の膜厚を厚くしてその側壁をキャパシタとして利用できることから、キャパシタ容量をプレーナ構造の数倍以上に高めることができる。さらに、ストレージノード部の拡散層は、ストレージノード電極下の拡散層領域だけとなり、 α 線により発生した電荷を収集する拡散層の面積が極めて小さく、ソフトエラーに強いセル構造となっている。

【0005】 また、このような構造においても、64Mビット以上のDRAMでは容量が不十分となるため、これに加えて、蓄積電極側面を利用してキャパシタ容量を

増大させる筒型や、蓄積電極を多層にするフィン型構造の蓄積電極構造が提案されている。

【0006】 しかしながら、このような蓄積電極構造にすると、蓄積電極の高さが高くなり（500～1000nm）、周辺回路部では、第1A1配線から下層配線又は基板へのコンタクトが深く接続が困難となってしまうという問題があった。

【0007】

【発明が解決しようとする課題】 このように従来、スタック型のDRAMでは、十分な蓄積容量を得ようとするストレージノードの高さが高くなり、平坦化のための絶縁膜が厚くなり、コンタクトホールが深くなって基板との接続が困難となる問題があった。

【0008】 本発明は、上記事情を考慮してなされたもので、その目的とするところは、十分な蓄積容量を確保しつつ周辺回路部のコンタクトホールにおける基板との接続が容易に行える構造の半導体記憶装置を提供することにある。

【0009】

【課題を解決するための手段】 本発明では、蓄積容量部の上部電極と同一の配線層を用いて、一度下層配線とのコンタクトを形成し、第1A1配線と下層配線又は基板とのコンタクトは全て又は穴径の大きな一部のコンタクトを除いて、この配線層に接続されることを特徴とする。

【0010】 このとき、通常の方法でプレート電極を配線層として用いると、プレート電極堆積前にコンタクト間の接続を行わなければならない、キャパシタ絶縁膜をレジストで汚染してしまうという問題がある。そこで、1層目のプレート電極を堆積した後、コンタクト開口を行い、2層目を堆積、加工するとよい。

【0011】 即ち本発明（請求項1）は、スタック型の半導体記憶装置において、蓄積容量部の上部電極が周辺回路部では配線層として使用されていることを特徴としている。

【0012】 また本発明（請求項2）は、ダイナミックRAMの蓄積容量部がワード線形成後に形成されたスタック型半導体記憶装置において、蓄積容量部の上部電極が2層以上の積層構造になっており、周辺回路部ではこの層が配線となり下層配線又は基板に接続されており、かつ該層の1層目は周辺回路部の平坦部のみに形成され、該層の2層目以降は周辺回路部の平坦部及びコンタクトホール内に形成されていることを特徴とする。

【0013】 また本発明（請求項3）は、ダイナミックRAMの蓄積容量部がワード線形成後に形成されたスタック型半導体記憶装置において、前記蓄積容量部の上部電極が2層以上の積層構造になっており、周辺回路部では該層の2層目以降が配線となり下層配線又は基板に接続されていることを特徴とする。

【0014】 また、本発明の望ましい実施態様としては

次のものがあげられる。

(1) 上部電極と同じ層からなる配線の第1層目として多結晶シリコン、TiN、Ni又はカーボンを用い、第2層目として WSi_2 、W、Ni、Al、Cu又はTiN/W、TiN/Al、TiN/Cu、Ti/TiN/W、Ti/TiN/Al、Ti/TiN/Cu、 $TiSi_2$ /TiN/W、 $TiSi_2$ /TiN/Al、 $TiSi_2$ /TiN/Cu、TiB/W、TiB/Al、TiB/Cu、Ti/TiB/Al、Ti/TiB/W、Ti/TiB/Cu、 $TiSi_2$ /TiB/W、 $TiSi_2$ /TiB/Al、 $TiSi_2$ /TiB/Cuを用いたこと。

【0015】(2) 蓄積容量部がセルビット線の上部に形成され、セルビット線と同層の配線が周辺回路部ではソース・ドレインを覆うようなパターンであること。

【0016】(3) パターン同士のスペースが、最大 $1\mu m$ 程度となるようにパターンが埋め尽くされているビット線配線を持つこと。

【0017】(4) 蓄積容量の上部電極と同層の配線について、パターン同士のスペースが最大 $1\mu m$ 程度となるようにパターンが埋め尽くされていること。

【0018】(5) ダイナミックRAMの蓄積容量部がワード線形成後に形成されたスタック型半導体記憶装置において、互いに隣接するビット線コンタクトが、1本のワード線を挟んで存在するように素子領域を配置させたこと。

【0019】

【作用】本発明構成によれば、第1Al配線のコンタクトの深さは下層の接地電極配線間までとなる。このため、従来方式、例えば256MビットDRAMレベルではアスペクト比4~5(径 $0.4\mu m$ 、深さ $1.6\sim 2\mu m$)程度必要だったものが、本発明によりアスペクト比2~3に低減できる(径 $0.4\mu m$ 、深さ $0.8\sim 1.2\mu m$)。

【0020】また、接地電極配線は本来必要な配線層であり、新たに配線層形成のための層を設ける必要がないので、工程数を殆ど増加させることなく上記構造を実現することができ、これにより素子の製造歩留まり及び信頼性の向上をはかることも可能となる。

【0021】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0022】図1は、本発明の第1の実施例に係わるDRAMの概略構成を示す平面図である。(a)はメモリセル部であり、1は素子領域、2は蓄積電極部、2aは蓄積電極コンタクト、3はビット線、3aはビット線コンタクト、4はワード線を示している。(b)は周辺部の一例であり、5はゲート、6aは第1メタル、6bは第2メタル、7aは第1コンタクト、7bは第2コンタクト、8はポリサイドを示している。

【0023】セル部ビット線と同一の層ポリサイド8が、ソース・ドレイン部の一部に存在して第1メタル6aとソース・ドレインの接続に使われ、大部分のソース・ドレインは上部電極(プレート電極)と同一層メタル6aと直接接続されている。第1Al配線(第2メタル)6bのコンタクトは全て第1メタル6aに接続されている。

【0024】この実施例における工程断面図を図2~図4に示し、以下にその製造方法について説明する。なお、これらの図は図1の矢視A-A'断面及び矢視B-B'断面に相当している。

【0025】まず、図2(a)に示すように、Si基板10の表面層に必要に応じてウェル領域を形成し、さらに素子分離のための絶縁膜11を形成する。ここで周辺回路部の絶縁膜11はLOCOSによる酸化膜であり、メモリセル部の絶縁膜11はT型トレンチ分離のための酸化膜である。その後、メモリセル部及び周辺回路部にポリSi/WSiの積層構造からなるゲート電極12

(5)を形成し、さらに全面にSiN膜13を形成すると共に、メモリセル部には蓄積容量コンタクト部のポリSiプラグ14を形成する。続いて、全面にLP-BPSG膜15を堆積して表面を平坦化した後、ダイレクトコンタクトのためのコンタクトホール16(7a)を開く。

【0026】次いで、図2(b)に示すように、コンタクトホール16に露出したSiN膜13をRIEで除去し、全面にポリSiを堆積してコンタクトホール16内をポリSi膜18aで埋め込む。さらに、ポリSi膜18a上にWSi膜18bを堆積し、メモリセル部のビット線となるポリサイド配線18(8)を形成する。その後、全面に常圧CVD法により SiO_2 膜19を堆積する。

【0027】次いで、図3(a)に示すように、ポリサイド配線18を所望パターンにエッチングした後、全面に層間絶縁膜21を堆積し平坦化する。続いて、メモリセル部で絶縁膜21にコンタクトホールを開口し、全面にSiN膜22を形成し、さらにコンタクトホール内にLP-BPSG膜24を埋め込む。その後、レジスト23を形成し、蓄積容量部におけるSiN膜22をRIEで除去する。

【0028】次いで、図3(b)に示すように、ポリSiを堆積し、これをエッチング加工して蓄積容量部に蓄積電極となるポリSiの柱25を形成する。なお、このポリSi柱は筒状に形成してもよい。続いて、ポリSi柱25の表面にキャパシタ絶縁膜となる Ta_2O_5 膜26を形成した後、全面にプレート電極の1層目としてのTiN膜27をCVD法で堆積する。

【0029】次いで、図4(a)に示すように、周辺回路部にコンタクトホール28(7b)を開口した後、プレート電極の2層目としてのW膜29を堆積する。その

後、TiN膜27及びW膜29をRIEでパターニングしてプレート電極配線(6a)を形成する。

【0030】次いで、図4(b)に示すように、全面に層間絶縁膜31を堆積し平坦化した後、コンタクトホール32を形成し、このコンタクトホール32内にWの選択成長によりW膜33を埋込み形成する。続いて、TiN膜34及びAl膜35からなる配線層(第1Al配線)(6b)を形成する。

【0031】これ以降は図示しないが、層間絶縁膜の堆積、ビアホールの形成、Wの選択成長、TiN/Al(第2Al配線)の形成、パッシベーション膜の形成により、DRAMが完成することになる。

【0032】かくして形成されたDRAMにおいては、第1Al配線34、35のコンタクトの深さは基板10までではなく、下層の電極配線27、29までとなり浅いコンタクトとできるため、第1Al配線34、35と基板10との接続が容易となる。ここで、電極配線27、29は本来必要な配線層であり、新たに配線層形成のための層を設ける必要がないので、工程数を殆ど増加させることなく上記構造を実現することができる。従って、蓄積電極を筒型にして蓄積容量の増大をはかった構造においても、周辺回路部における第1Al配線と下層配線や基板とのコンタクトを確実に取ることができ、製造歩留まり及び信頼性の向上をはかることができる。

【0033】また、本実施例では、図1に示すように隣接するビット線コンタクト間に、1本のワード線が通過するように素子領域を配置させているので、蓄積電極のコンタクト部を互いに最小加工寸法だけ離すことができる。このため、製造が容易になる利点もある。

【0034】図5は、本発明の第2の実施例に係わるDRAMの概略構成を示す平面図である。(a)はメモリセル部、(b)は周辺部の一例である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0035】この実施例における工程断面図を、図6～図8に示す。なお、これらの図は図5の矢視C-C'断面及び矢視D-D'断面に相当している。また、図2～図4と同一部分には同一符号を付して、その詳しい説明は省略する。

【0036】まず、図6(a)に示すように、第1の実施例と同様にして、Si基板10上に素子分離用の絶縁膜11を形成し、ゲート電極12を形成し、SiN膜13を形成し、ポリSiプラグ14を形成する。そして、LP-BPSG膜15を堆積して表面を平坦化した後、ダイレクトコンタクトのためのコンタクトホール16を開口する。このとき、第1の実施例とは異なり、全ての活性化領域にコンタクトホール16を開口する。

【0037】次いで、図6(b)に示すように、第1の実施例と同様に、ポリサイド配線18を形成し、その上にSiO₂膜19を堆積する。次いで、図7(a)に示

すように、第1の実施例と同様に、ポリサイド配線18を所望パターンにエッチングした後、蓄積電極部コンタクトを開口する。

【0038】次いで、図7(b)に示すように、第1の実施例と同様に、ポリSi柱25を形成し、さらにキャパシタ絶縁膜となるTa₂O₅膜26及びプレート電極の1層目としてのTiN膜27を堆積する。

【0039】次いで、図8(a)に示すように、周辺回路部にコンタクトホール28を開口した後、プレート電極の2層目としてのW膜29を堆積する。

【0040】次いで、図8(b)に示すように、W膜29及びTiN膜27をパターニングした後、層間絶縁膜31を堆積し平坦化し、さらにコンタクトホール32を形成し、このコンタクトホール32内にW膜33を埋込み形成し、続いてTiN膜34及びAl膜35からなる配線層(第1Al配線)を形成する。

【0041】このような構成であれば、先の第1の実施例と同様の効果が得られるのは勿論のこと、周辺回路部における電極配線27、29によるコンタクトの深さをも浅くすることができる利点がある。

【0042】図9は、本発明の第3の実施例を示す工程断面図である。なお、図2～図4と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例は、第1の実施例における配線29の形成をWの埋込みにより形成したものである。即ち、第1の実施例における工程断面図の図3までは同じであり、この後に図9

(a)に示すように、コンタクトホール28内にW膜29の埋込み成長を行う。次いで、第1の実施例と同様に図9(b)に示すように、層間絶縁膜31の堆積、コンタクトホール32内へのW膜33の選択成長、TiN膜34及びAl膜35からなる配線層(第1Al配線)を形成する。

【0043】図10は、本発明の第4の実施例を示す工程断面図である。なお、図6～図8と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例は、第2の実施例における配線29の形成をWの埋込みにより形成したものである。即ち、第2の実施例における工程断面図の図7までは同じであり、この後に図10

(a)に示すように、コンタクトホール28内にW膜29の埋込み成長を行う。次いで、第2の実施例と同様に図10(b)に示すように、層間絶縁膜31の堆積、コンタクトホール32へのW膜33の選択成長、TiN膜34及びAl膜35からなる配線層(第1Al配線)を形成する。

【0044】図11は、本発明の第5の実施例を示す工程断面図である。なお、図2～図4と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例は、プレート電極配線のW膜29のみを周辺回路部の配線として用いたものである。即ち、第1の実施例における工程断面図の図3までは同じであり、この後に図11

(a) に示すように、TiN膜27をメモリセル部のみを覆うように加工し、さらにコンタクトホール28を開孔する。その後、W膜29を堆積し、これを配線パターンに加工する。次いで、第1の実施例と同様に図11

(b) に示すように、層間絶縁膜31の堆積、コンタクトホール32内へのW膜33の選択成長、TiN膜34及びAl膜35からなる配線層(第1Al配線)を形成する。

【0045】図12は、本発明の第6の実施例の概略構成を示すもので、(a)は平面図、(b)は断面図である。この実施例は、ダミーパターンを設けて下地の平坦化をはかったものである。

【0046】ソース・ドレイン部には第1コンタクト7aが開孔され、ソース・ドレイン部を埋め尽くしている。ポリサイド配線18(8)は、ソース・ドレイン部を覆うようにパターンニングされている。広い素子分離領域には、ポリサイド18のダミーパターン51が設置され、パターン間のスペースが1~2 μ m以上とならないようにしている。第2コンタクト7bはポリサイド18上に開孔され、電極配線27、29(第1メタル6a)とポリサイド18を接続している。第1メタル6aをポリサイド18と同様広い(1~2 μ m)のスペースができないようにダミーパターン52を設けている。

【0047】このようにダミーパターン51、52を設けることにより、下地の平坦化が容易となり、上層配線の信頼性を向上させることができる。

【0048】図13は、本発明の第7の実施例の概略構成を示す断面図である。この実施例は、セルビット線が蓄積容量部の上部に形成される場合である。ソース・ドレイン部は、蓄積容量部のプレート電極層27、29を用いた回路配線と接続され、セルビット線となる第1メタル55の配線は全て電極層27、29の配線と接続されている。

【0049】図14は、本発明の第8の実施例の概略構成を示す断面図である。この実施例では、第7の実施例のメモリセル部のポリSiプラグ14と電極層27、29の絶縁を確実にするために、ポリSiプラグ側面を緻密な絶縁膜57、例えばSi₃N₄で取り囲むようにしている。

【0050】なお、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0051】

【発明の効果】以上詳述したように本発明によれば、蓄積容量部の上部電極を2層以上の積層構造とし、周辺回路部では該層を配線として下層配線又は基板に接続しているので、メタルコンタクトの深さを浅くすることができ、製造が容易で信頼性の高いDRAMを実現することが可能となる。

【図面の簡単な説明】

【図1】第1の実施例に係わるDRAMの素子構造を示す平面図、

【図2】第1の実施例に係わるDRAMの製造工程の前半を示す断面図、

【図3】第1の実施例に係わるDRAMの製造工程の后半を示す断面図、

【図4】第1の実施例に係わるDRAMの製造工程の後半を示す断面図、

【図5】第2の実施例に係わるDRAMの素子構造を示す平面図、

【図6】第2の実施例に係わるDRAMの製造工程の前半を示す断面図、

【図7】第1の実施例に係わるDRAMの製造工程の后半を示す断面図、

【図8】第2の実施例に係わるDRAMの製造工程の後半を示す断面図、

【図9】第3の実施例に係わるDRAMの製造工程を示す断面図、

【図10】第4の実施例に係わるDRAMの製造工程を示す断面図、

【図11】第5の実施例に係わるDRAMの製造工程を示す断面図、

【図12】第6の実施例に係わるDRAMの素子構造を示す平面図と断面図、

【図13】第7の実施例に係わるDRAMの素子構造を示す断面図、

【図14】第8の実施例に係わるDRAMの素子構造を示す断面図。

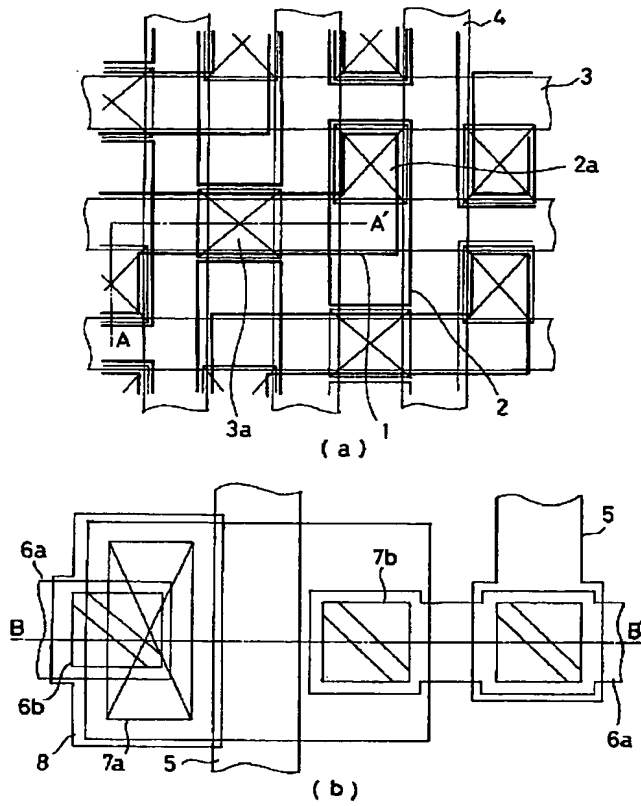
【符号の説明】

- 1…素子領域、
- 2…蓄積電極部、
- 3…ビット線、
- 4…ワード線、
- 5…ゲート、
- 6a…第1メタル、
- 6b…第2メタル、
- 7a…第1コンタクト、
- 7b…第2コンタクト、
- 8…ポリサイド、
- 10…Si基板、
- 11…素子分離用絶縁膜、
- 12…ゲート電極、
- 13、22…SiN膜、
- 14…ポリSiプラグ、
- 15…LP-BPSG膜、
- 16、28、32…コンタクトホール、
- 18…ポリサイド配線、
- 19…SiO₂膜、
- 21、31…層間絶縁膜、
- 23…レジスト、

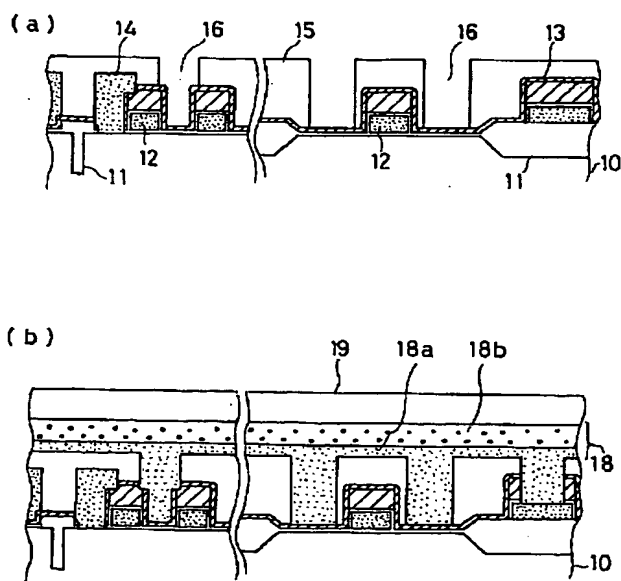
24...LP-BPSG膜、
 25...ポリSi柱、
 26...Ta₂O₅膜、
 27, 34...TiN膜、

29, 33...W膜、
 35...Al膜、
 51, 52...ダミーパターン。

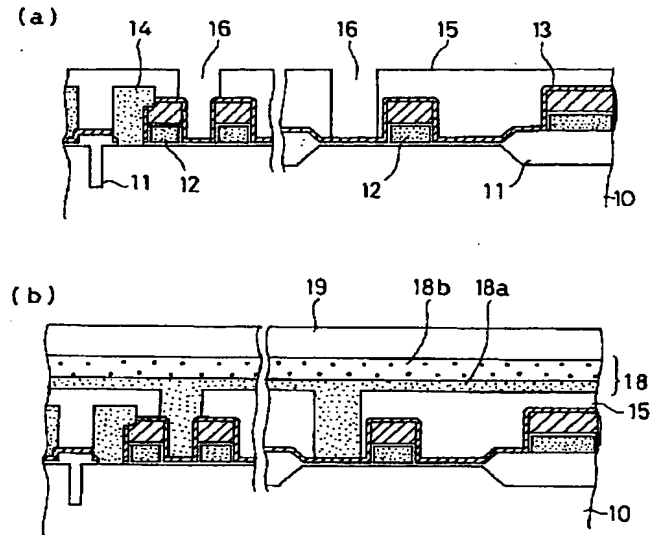
【図1】



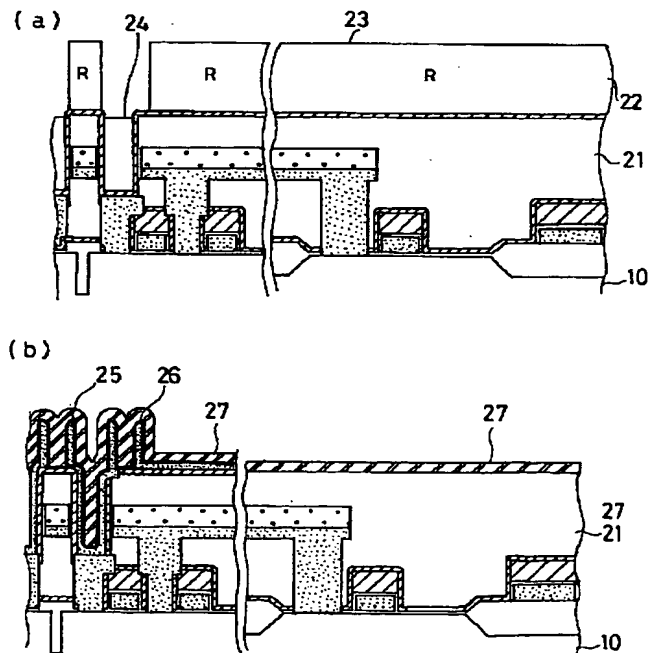
【図6】



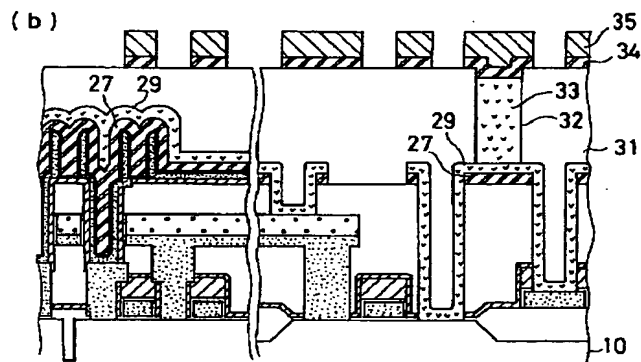
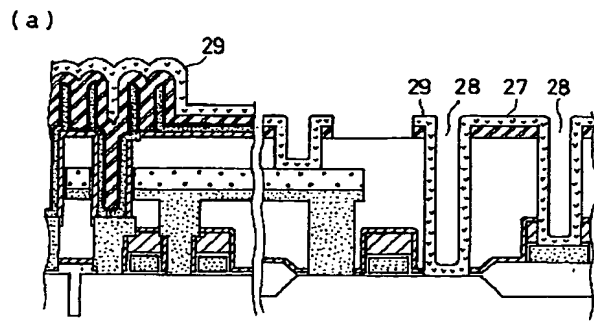
【図2】



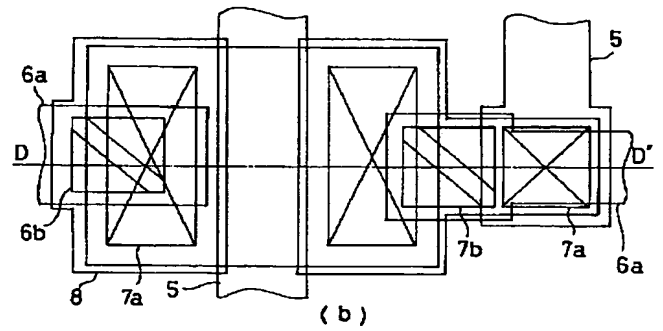
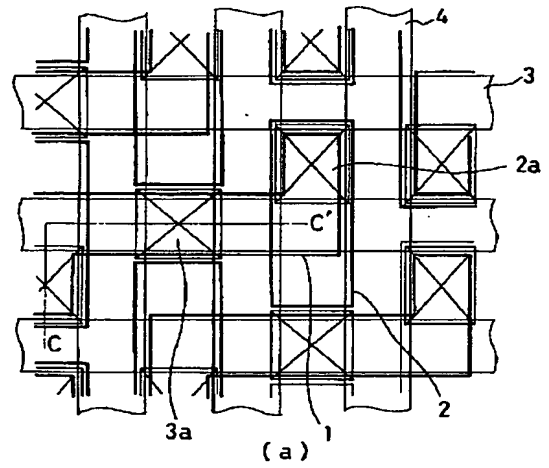
【図3】



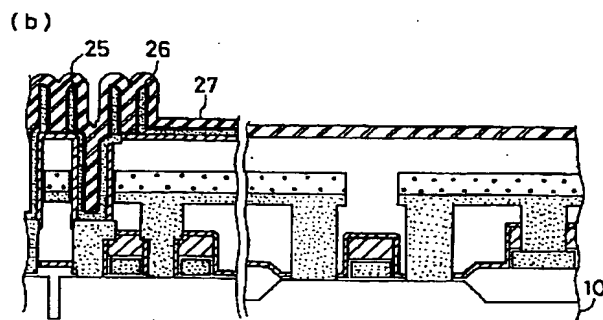
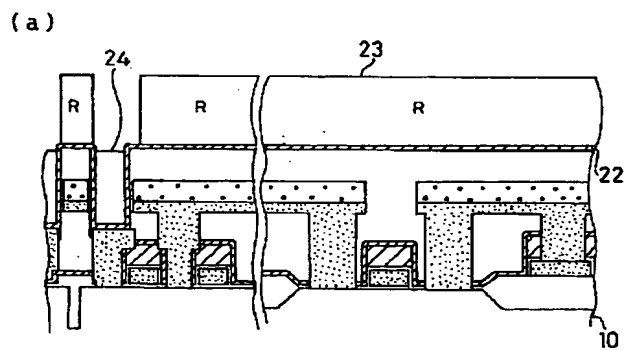
【図4】



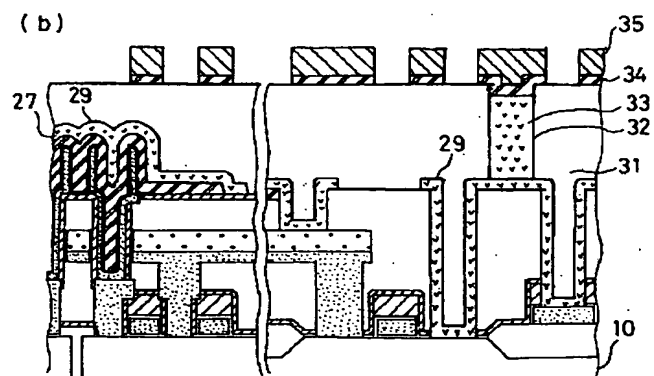
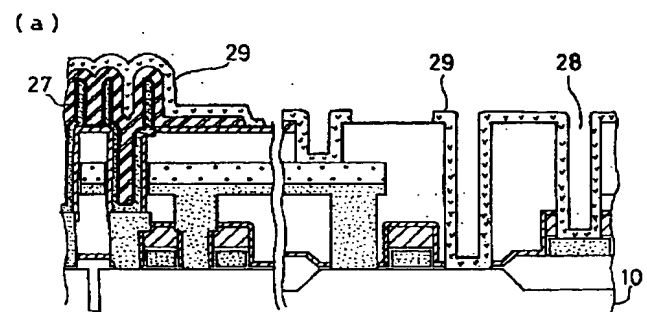
【図5】



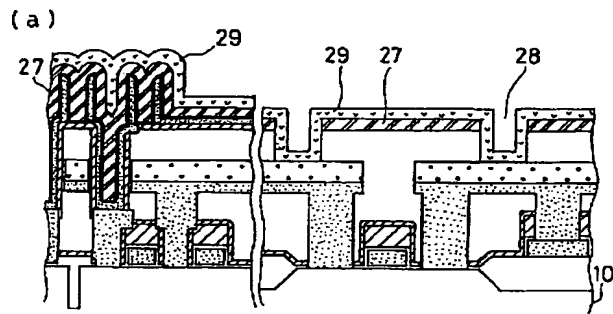
【図7】



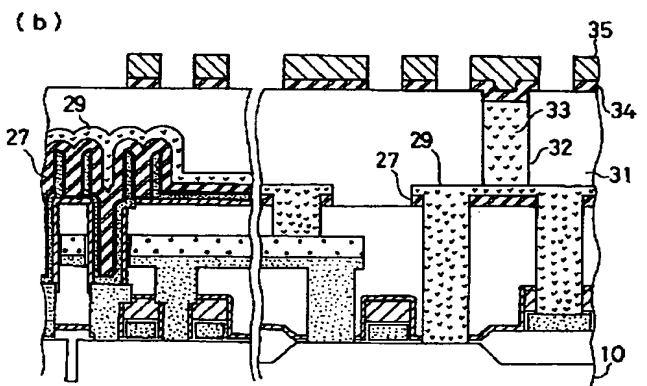
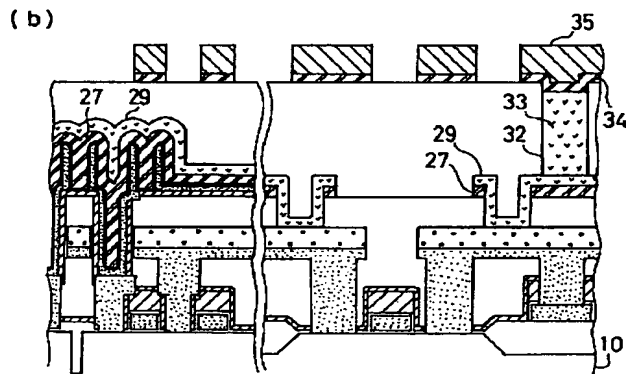
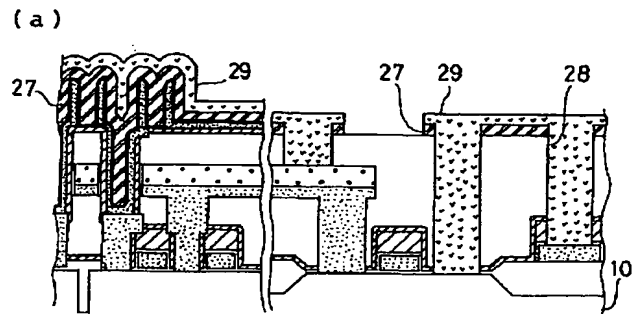
【図11】



【図8】

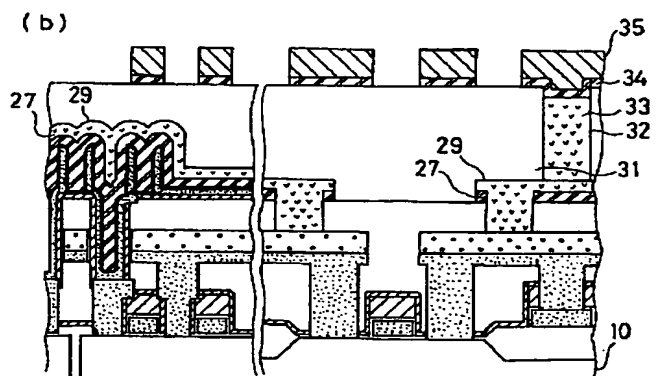
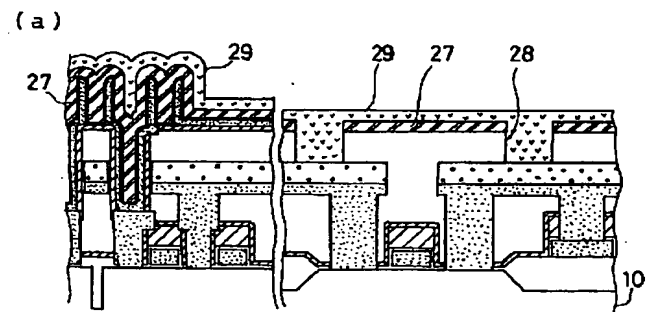
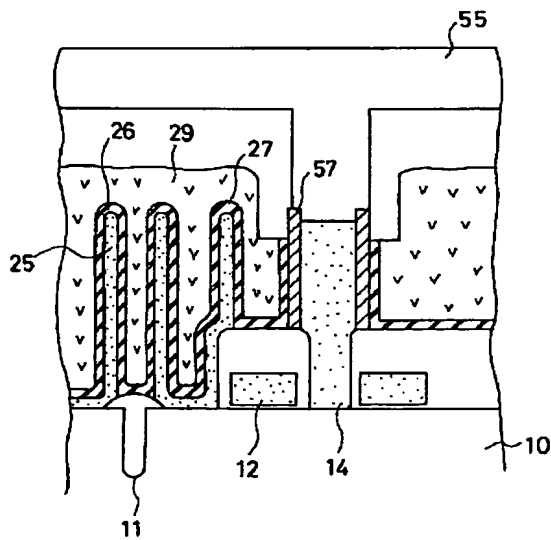


【図9】

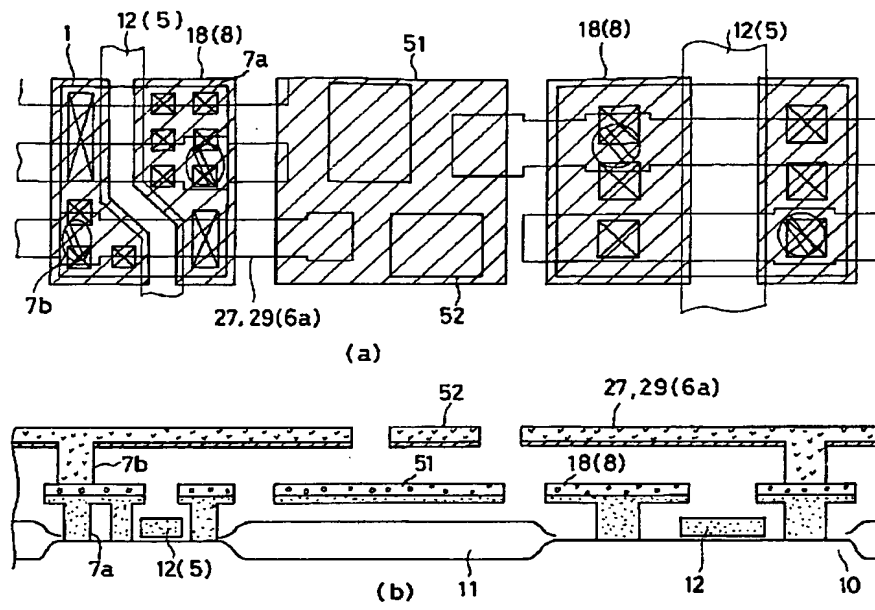


【図10】

【図14】



【図12】



【図13】

